

AD18H01D

用户手册

版本号: V1.4

版权所有©

西安恩狄集成电路有限公司

本资料内容为西安恩狄集成电路有限公司在现有数据资料基础上编制而成，本资料中所记载的实例以正确的试用方法和标准操作为前提，使用方在应用该等实例时应充分考虑外部诸条件，西安恩狄集成电路有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，西安恩狄集成电路有限公司亦不对使用方使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。文档中所有涉及到第三方软件的，请自行购买正版软件，因第三方软件版权问题涉及到的一切后果，与西安恩狄集成电路有限公司无关。基于使本资料的内容更加完善等原因，西安恩狄集成电路有限公司保留未经预告的修改权。

西安恩狄集成电路有限公司

地 址：陕西省西安市高新区高新一路 19 号思安大厦 501

电 话：+ (86 29) 88322766 网 站：www.admicrochip.com

微信号：恩狄 ADUC



AD18H01 用户手册

西安恩狄集成电路有限公司推出了 AD18H01 系列快充 IC，此系列包括电源协议 IC、Sink 协议 IC 以及 E-Marker 协议 IC，全面覆盖 PD 快充产业，为用户提供高效、稳定、系列化产品。

高集成度，多协议的电源快充 IC，以 PD 协议为主，以各大手机厂商的私有协议为辅，西安恩狄集成电路有限公司的 AD18H01 系列芯片集成了 TypeC PD2.0/PD3.0/PPS, QC2/QC3/QC3+, FCP, SCP, AFC, Apple mode, BC1.2 等快充协议。其中 AD18H01D 已经取得 USB-IF 的 PD 认证。

AD18H01 系列不仅集成了多种快充协议，并且通过对快充市场的整合创新，建立了完善的协议功能体系，PD 协议支持多重 PDO 特殊配置，全功率兼容范围 18W~65W，为客制化提供方便快捷的调配方式。

AD18H01 电源协议芯片还实现了功率分配、电压调节、恒功率调节、线材补偿、多 C 模式、A+C 模式等多种特殊功能供您选型。同时芯片增加多重保护机制，包括过流保护，DP/DM 保护，CC 保护，过压保护等，为芯片健康保驾护航。

我们诚挚期待与您的合作！

目录

1 选型参考.....	5
1.1 协议 IC.....	5
1.2 E-Marker.....	5
1.3 Sink IC.....	5
2 特性.....	6
3 简介.....	6
4 应用.....	6
5 引脚定义.....	7
6 订购信息.....	9
7 典型应用原理图.....	10
7.1 FB 分压电阻调压模式（QFN16-2、CPC16）.....	10
7.2 A+C 应用（QFN16-2、CPC16）.....	11
7.3 单 C 口应用（SOP8-2）.....	12
7.4 单 PD 协议应用（SOP8）.....	13
8 引脚功能描述.....	14
9 功能描述.....	15
9.1 DP/DM 快充协议.....	15
9.2 PD 快充协议.....	15
9.3 RPDO 功能表.....	15
9.4 线损补偿.....	16
9.5 OCP 保护及恒功率.....	17
9.6 恒流.....	17
9.7 FB 分压电阻调节.....	18
9.8 CC/DP/DM 保护.....	18
9.9 功率路径控制.....	18
9.10 过压保护.....	18
10 布板建议.....	19
10.1 选型.....	19
10.2 布板建议.....	19
11 参数.....	20
11.1 极限工作参数.....	20
11.2 ESD 性能.....	20
11.3 电气特性.....	20
12 封装.....	22

12.1 QFN16(04X04X0.75-0.65).....	22
12.2 SOP8 (4.9X3.9X1.45-1.27)	24

1 选型参考

1.1 协议 IC

	QC3.0	FCP	SCP	AFC	PD3.0	PPS	A+C	VBUS	Package
AD18H01D	✓	✓	✓	✓	✓	✓		3.3V~24V	QFN16 (04×04×0.75-0.65)
									SOP8 (4.9×3.9×1.45-1.27)
									CPC16 (4.6×2.6×0.95-0.53)
AD18H01AC	✓	✓	✓	✓	✓	✓	✓	3.3V~24V	QFN16 (04×04×0.75-0.65)
									CPC16 (4.6×2.6×0.95-0.53)
AD18H01CC	✓	✓	✓	✓	✓	✓		3.3V~24V	QFN24 (4×4×0.75-0.50)

1.2 E-Marker

	PD3.0	Type-C Specs	Write-Times	ESD	VBUS	Package
AD18H01E	✓	V1.4	OTP	±4Kv	3.3v~24v	DFN8 (3×2×0.75-0.5)

1.3 Sink IC

	PD3.0	Type-C Specs	Program Methods	VBUS	Package
AD18H01S	✓	V1.4	Resistance	3.3v~24v	CPC-8 (2.6X2.6X0.95-0.53)
AD18H01S	✓	V1.4	I ² C	3.3v~24v	DFN-10 (3X3-0.5)

AD18H01D 集成多协议的 PD 快充协议 IC

TypeC PD2.0/PD3.0/PPS, QC2/QC3/QC3+, FCP, SCP, AFC, Apple 2.4, BC1.2

2 特性

- **快充规格**
 - 集成 QC2.0/QC3.0/QC3.0+ 输出快充协议
 - 集成 FCP 输出快充协议
 - 集成 SCP 输出快充协议
 - 集成 AFC 输出快充协议
 - 兼容 BC1.2、苹果快充协议
 - 集成 PD2.0/ PD3.0 协议
PD3.0 USB-IF 协会认证编号: TID4821
 - 集成 PPS, 支持多组 APDO
- **电源管理**
 - 内置自动控制泄放电路功能
 - 支持自动进入低功耗待机模式
- **多重保护, 可靠稳定**
 - 输出过压、过流、短路保护
 - DP/DM/CC1/CC2 支持 24V 高耐压
 - 支持动态功率调配
- **灵活功能配置**
 - 支持 MPC 功率分配功能
 - 支持 RPDO 定制个性化 PDO
 - 支持线损补偿与端口拓展
- **工作电压范围: 3.3V ~ 24V**

3 简介

AD18H01D 系列是一款集成多协议, 可以用于 TYPE-C/USBA 端口的快充协议 IC。芯片支持以 PD 协议为主, 其它如: QC/FCP/SCP/AFC/DFP/BC1.2 等协议为辅。为适配器, 车充等单向充电的输出应用提供了完整的解决方案。

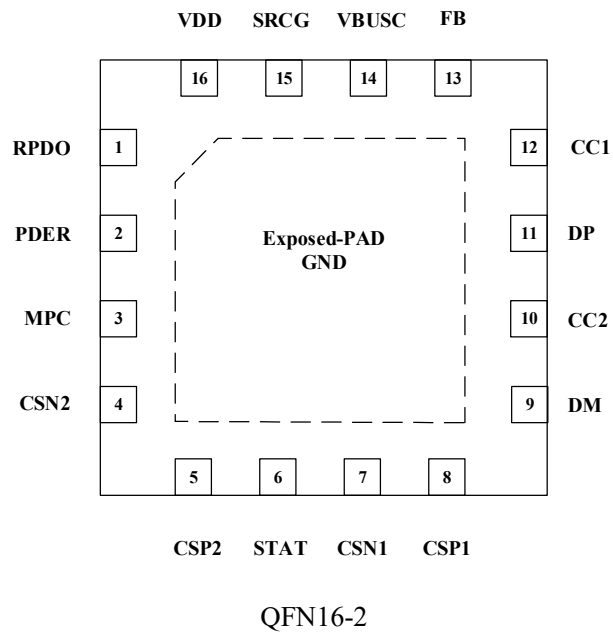
18H01D 系列具有高集成度, 功能丰富的特点, 针对于 PD 协议, 推出定制化, 多样化的方案, 在应用过程中, 仅需很少的外围器件, 就可完成设计, 有效减小整体方案的尺寸, 降低成本。

4 应用

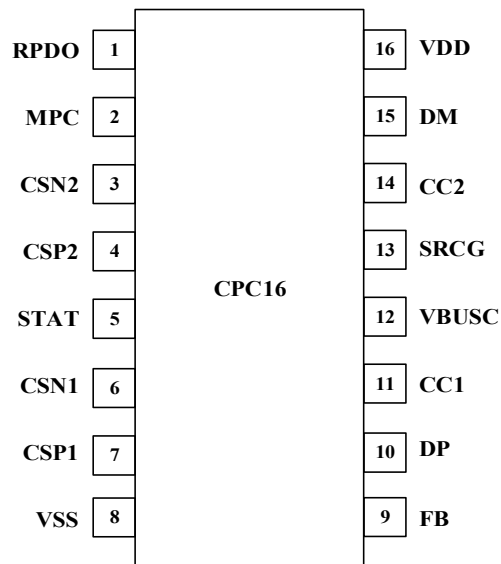
- 适用 USB-C 功率输出设备
- 旅充
- 车充
- 移动电源
- GaN 充电器/多口功率分配充电器

5 引脚定义

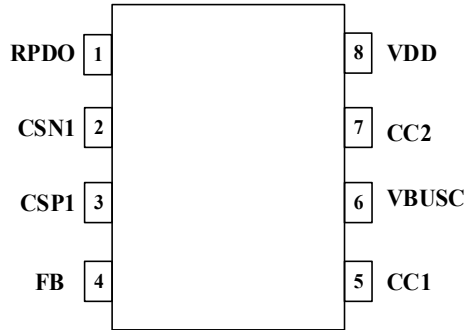
Q 封装 QFN16



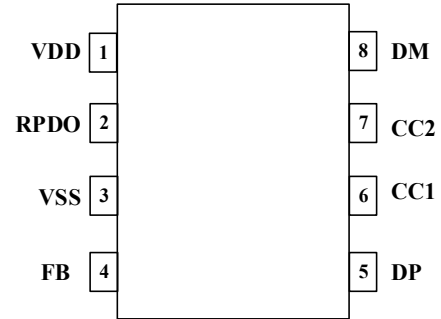
R 封装 CPC16



S 封装 SOP8



SOP8



SOP8-2

6 订购信息

丝印信息

ADUC的快充芯片表面印有三栏信息：商标，快充芯片全称和日期码。

ADUC Logo	
Product Name	18H01D
Date Code	2 14 1
	Year Week SeriesNo
	Year: 2: 2022; 3: 2023
	Week: 01:第1周; 23:第23周
	SeriesNo: 序列号0-Z, 1:当前周别第2个工单

标签信息

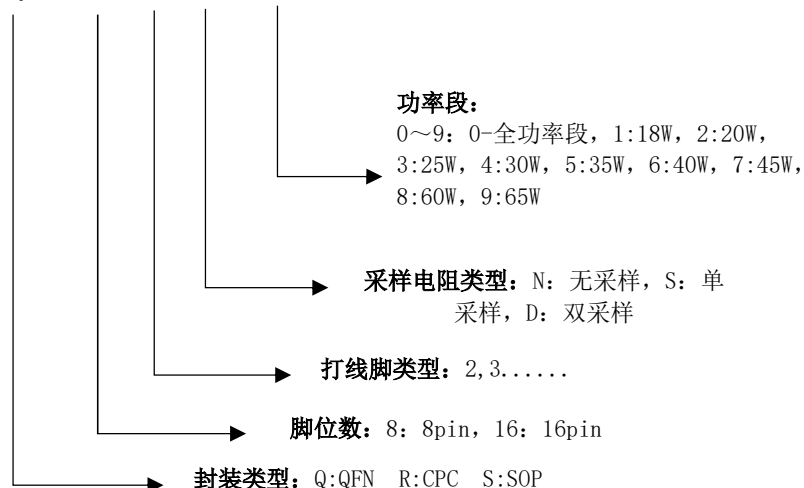
货品内外包装上粘贴的标签上包含：产品名称，封装信息，芯片批号，丝印信息，出货日期及包装数量。

产品名称	Part No: AD18H01DS8-2N0
封装信息	Package: SOP8
芯片批号	Lot No: R2H400820
丝印信息	Marking: AD18H01D 1141
出货日期	Date: 2022-06-09
包装数量	QTY: n*100pcs

采购信息

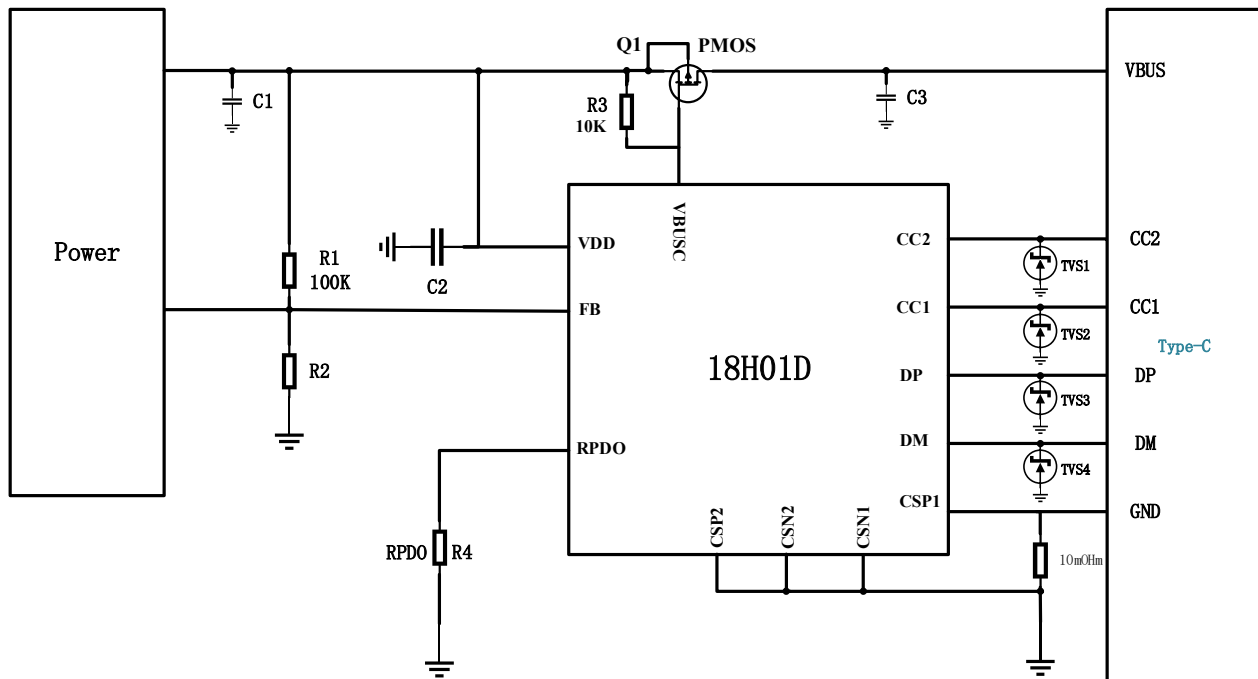
AD18H01D			
产品名称	封装类型	工作温度	包装方式及数量
AD18H01DQ16-2S0	QFN16-2, 绿色封装	-40~85℃	Tape & Reel 5000/reel
AD18H01DS8-S0	SOP8, 绿色封装	-40~85℃	Tube 100/tube
AD18H01DS8-2N0	SOP8-2, 绿色封装	-40~85℃	Tube 100/tube
AD18H01DR16-S0	CPC16, 绿色封装	-40~85℃	Tape & Reel 5000/reel

AD18H01D - Q 16 2 S 0

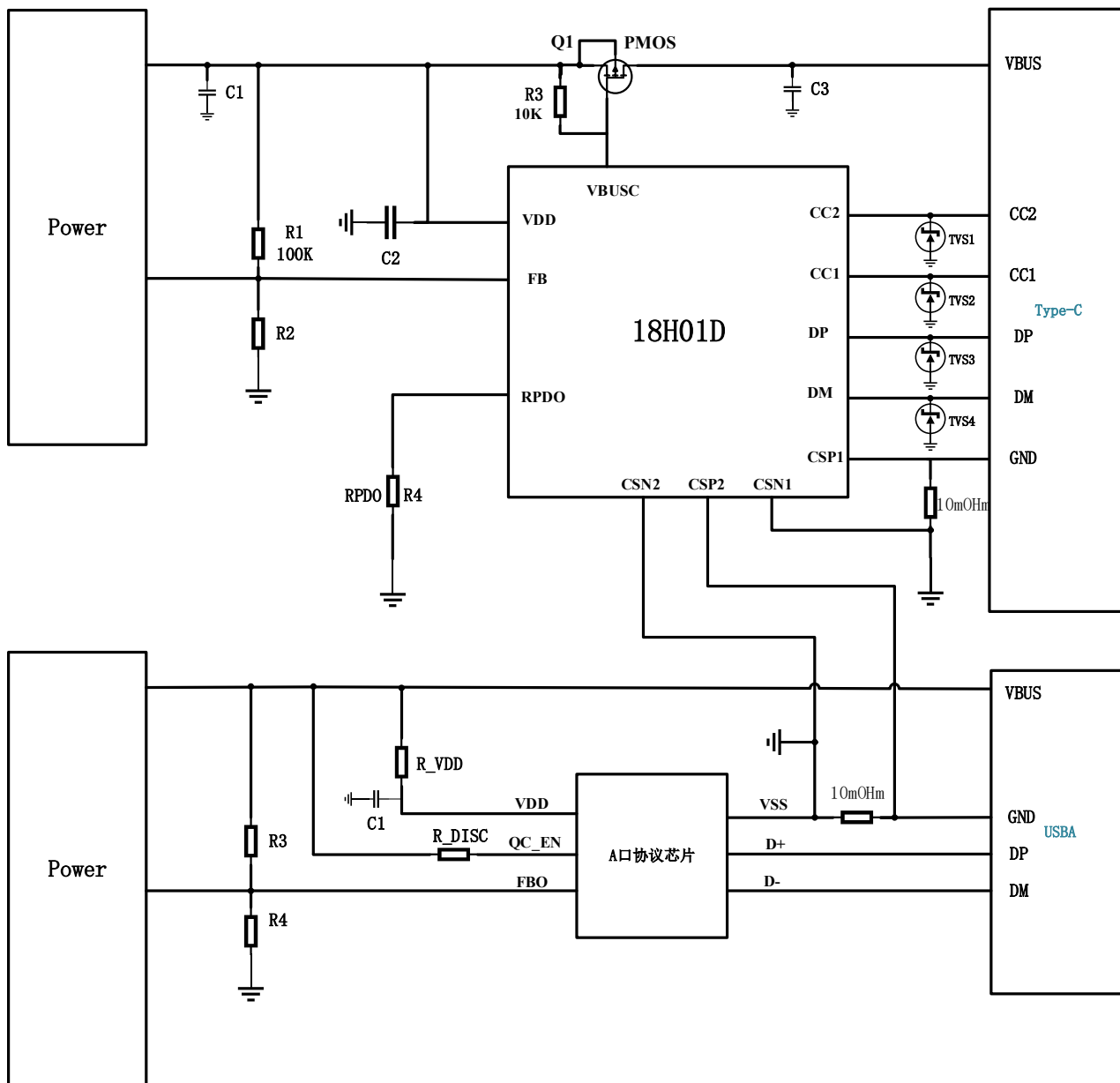


7 典型应用原理图

7.1 FB 分压电阻调压模式 (QFN16-2、CPC16)



- R1 推荐选用 100KOhm (1%)
- R2 依据电源芯片的值进行调配
- Q1 推荐使用 V_{ds} 在 30V 以上，驱动耐受电压大于 20V 的 PMOS 功率管
- RPDO 的电阻值依据 PDO 表详情进行选择配置，建议 1%或更高精度电阻
- C2 建议使用 10uf，电路中的电容依据实际电路进行选择
- 采样电阻限制为 10mohm (1%)，温漂不大于 100ppm/°C，建议使用合金采样电阻
- TVS1~TVS4 建议采用截止电压(V_{rwm})大于 24V 的 TVS 管

7.2 A+C 应用 (QFN16-2、CPC16)


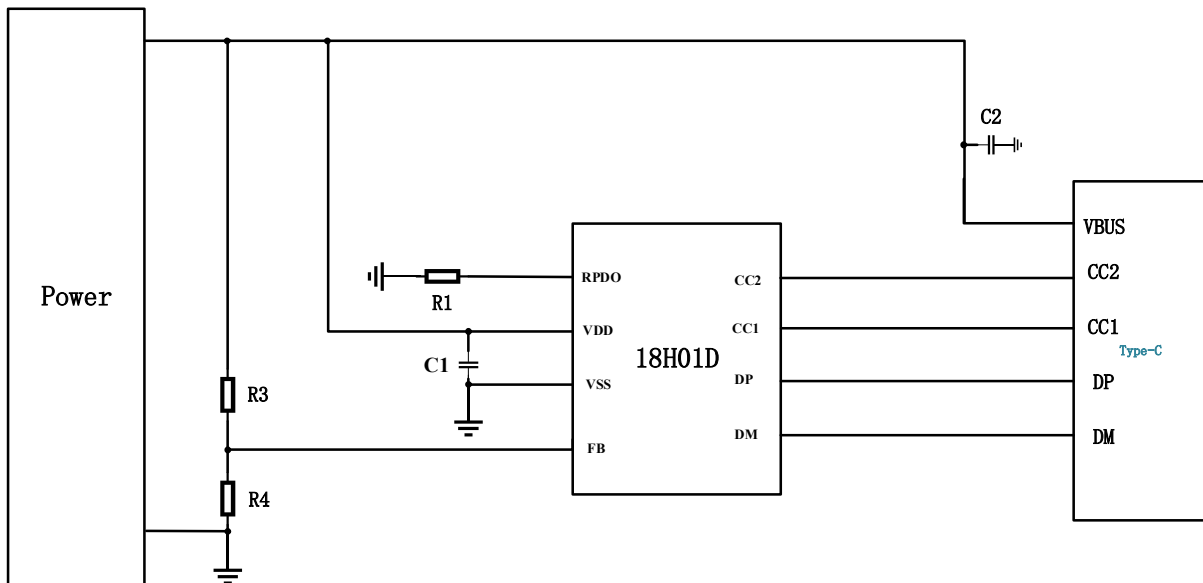
- R1 推荐选用 100KOhm (1%)，R2 依据电源芯片的值进行调配
- Q1 推荐使用 V_{ds} 在 30V 以上，驱动耐受电压大于 20V 的 PMOS 功率管
- 采样电阻限制为 10mohm (1%)，温漂不大于 100ppm/°C，建议使用合金采样电阻
- TVS1~TVS4 建议采用截止电压(V_{rwm})大于 24V 的 TVS 管

18H01D 搭配 A 口协议芯片实现了 A+C 的应用，且 C 口有 D+、D-通道的相关协议；当 18H01D 通过采集 A 口的电流发现 A 口的电流大于 500mA 时，开始进行降功率，输出 PDO'；当检测到 A 口电流小于 200mA 时，则恢复功率，重新发送新 PDO 进行握手。关于 PDO 及 PDO'详见 RPDO 功能表部分。

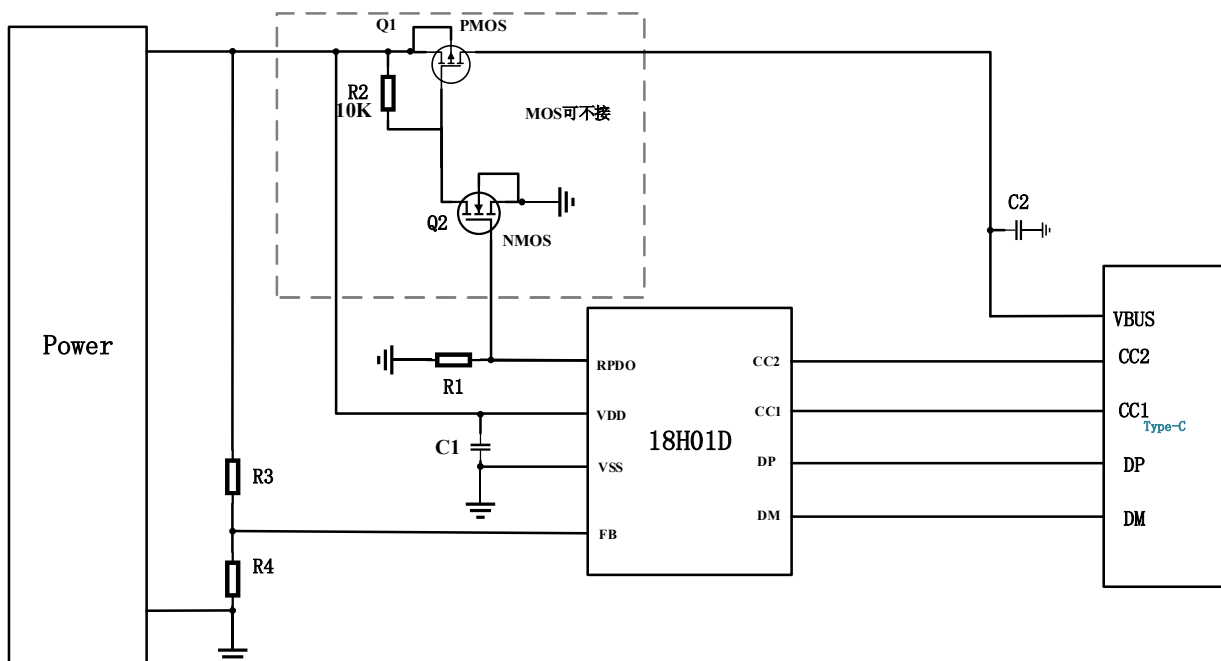
7.3 单 C 口应用 (SOP8-2)

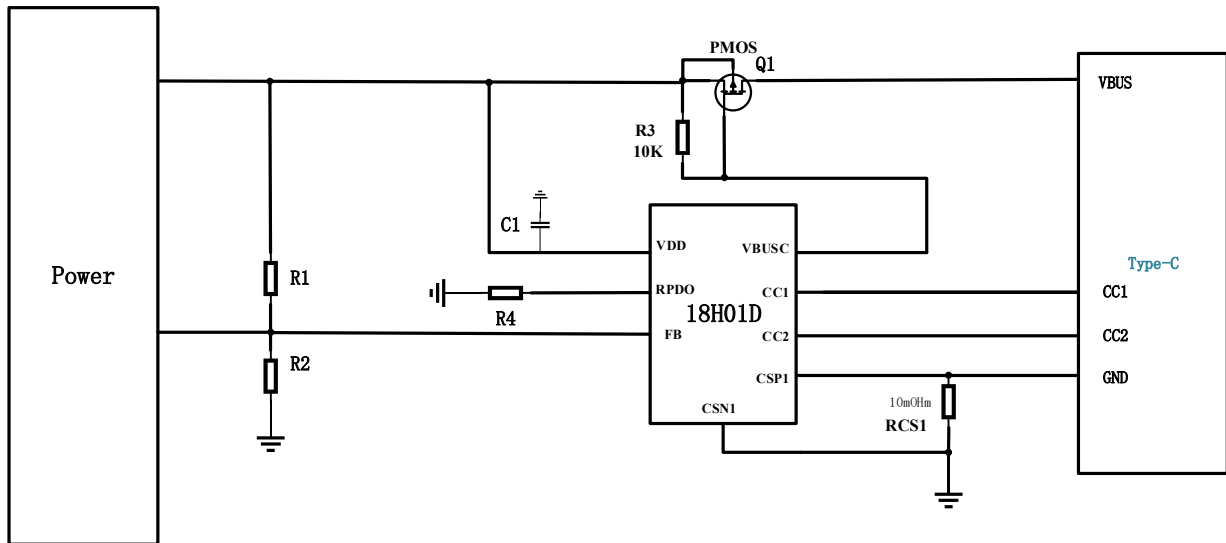
- FB 外接电源系统, C1 建议 10uf
- R3 推荐选用 100KOhm (1%), R4 依据电源芯片的值进行调配
- RPDO 外接电阻 (R1) 进行功率设置, 具体参考 9.3 RPDO 功能章节

在单 C 口应用时, 可以去掉外置 MOSFET, 如下图



用户可以利用 RPDO 管脚通过 AP2318A(NMOS) 和 PMOS 控制 VBUS 输出, 如下图



7.4 单 PD 协议应用 (SOP8)


- R1 推荐选用 100KOhm (1%)，R2 依据电源芯片的值进行调配
- Q1 推荐使用 V_{ds} 在 30V 以上，驱动耐受电压大于 20V 的 PMOS 功率管
- 采样电阻限制为 10mohm (1%)，温漂不大于 100ppm/°C，建议使用合金采样电阻
- C1 建议使用 10uf，电路中的电容依据实际电路进行选择

8 引脚功能描述

引脚名称	引脚编号				引脚功能
	QFN16-2	CPC16	SOP8	SOP8-2	
RPDO	1	1	1	2	外接电阻，依据不同的电阻值可以配置不同的 PDO 能力包
PDER	2	-	-	-	此管脚可以配合电阻输出 2.7V，用于实现 C 口的 APPLE 2.4A 快充
MPC	3	2	-	-	用于芯片间连接
CSN2	4	3	-	-	电流采集的负端，不使用时需要接地
CSP2	5	4	-	-	电流采集的正端，不使用时需要接地
STAT	6	5	-	-	指示当前充电状态
CSN1	7	6	2	-	电流采集的负端
CSP1	8	7	3	-	电流采集的正端
DM	9	15	-	8	连接 USB-A 的 DM 引脚
CC2	10	14	7	7	Type-C 的检测引脚 CC2
DP	11	10	-	5	连接 USB-A 的 DP 引脚
CC1	12	11	5	6	Type-C 的检测引脚 CC1
FB	13	9	4	4	反馈电路输入端，连接至外部电源考输入端，以设定输出电压
VBUSC	14	12	6	-	PMOS 驱动管脚
SRCG	15	13	-	-	SRCG 引脚保持悬空
VDD	16	16	8	1	IC 的供电引脚，需要外接 10uF 电容
VSS	-	8	-	3	芯片的 GND
GND	17(EPAD)	-	-	-	芯片的 GND，功率地和散热地

9 功能描述

对于 AD18H01D 来说，具备的功能主要是协议、特殊功能以及保护机制这三个方面。

9.1 DP/DM 快充协议

- 自动检测 DP/DM 的插入拔出状态
- 快充协议（QC2.0/3.0/3.0+）
- FCP & SCP
- AFC
- BC1.2、APPLE 2.4A 模式

9.2 PD 快充协议

- 自动检测插入和拔出状态
- PD2.0 / PD3.0
- PPS

9.3 RPDO 功能表

AD18H01D 的 RPDO 管脚可以输出固定的电流，通过外接电阻值可以转换为电压，采集后可以按照设定功率表格输出功率。

通过 RPDO 管脚可以切换不同的功率档位，满足固定电压的同时也可以选择 PPS 电压。

RPDO 需要选择精度为 1% 的电阻。

- RPDO 管脚配置不同的电阻，可以选择内部的 PDO 功率和 PDO 数量。
- 当存在降功率功能时，可以产生 PDO'。
- RPDO 同时影响过流保护，恒功率及 QC 协议的最大电压。

RPDO 阻值 (Ω)	Power	PDO							NOTE
		5V	7V	9V	12V	15V	20V	PPS	
18K	20W	3A		2.22A	1.67A			3.3-5.9V(3A) 3.3-11V(2A)	
OPEN	25W	3A	3A	2.77A	2.08A			3.3-5.9V(3A) 3.3-11V(2.25A)	
1K	30W	3A		3A	2.5A			3.3-11V(3A)	
4.7K	30W	3A		3A	2.5A	2A	1.5A	3.3-11V(3A) 3.3- 21V(1.5A)	
10K	45W	3A		3A	3A	3A	2.25A	3.3-11V(3A) 3.3-21V(2.25A)	
15K	65W	3A		3A	3A	3A	3.25A	3.3-11V(3A) 3.3-21V(3.25A)	

RPDO 阻值 (Ω)	PDO' (仅限 A+C 应用)						NOTE
	5V	9V	12V	15V	20V	PPS	
18K	3A						
OPEN	3A						
1K	3A						
4.7K	3A						
	3A						
10K	3A	3A	2.5A	2A	1.5A	3.3V-16V(1.87A)	仅限 A+C 应用
15K	3A	3A	3A	3A	2.25A	3.3-11V(3A) 3.3-21V(2.25A)	仅限 A+C 应用

9.4 线损补偿

线材补偿的机制为：当电流每增加或减少 1A，那么电压则相应增大或者减小 60mV。此功能在 PD 固定电压/BC1.2/QC/FCP/AFC/Apple Mode 协议生效。全电压段都会进行线补，补偿上限 300mV。

9.5 OCP 保护及恒功率

当 PD 协议握手后，OCP 点读取当前建立的 PDO 的电流值，进行 120% 的电流限流保护(25W 及以下最大 3.4A)。QC2.0/QC3.0/FCP/AFC 按照：RPDO 设定功率/当前电压*120% 的上限保护（USB-A 最大 25W，18W/25W 两档），BC1.2 按照 3.6A 保护(25W 及以下最大 3.4A)，SCP 按照 3.4A/3.6A/4.3A 保护。如下图：

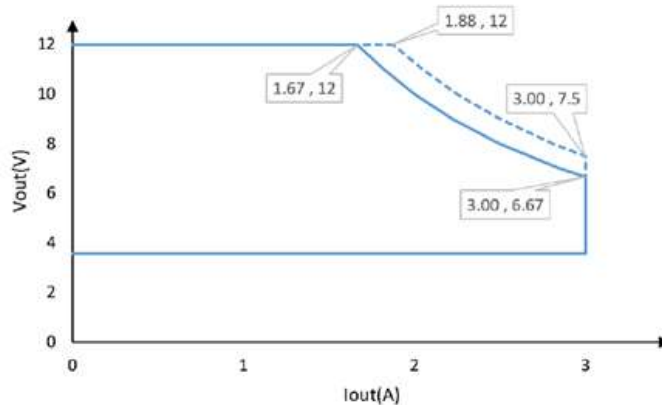
协议	BC1.2	QC2.0/3.0	FCP	SCP	AFC	PD
过流保护	$\leq 25W$: 3.4A $\geq 30W$: 3.6A	RPDO 设定功率/当前电压*120%	RPDO 设定功率/当前电压*120%	$\leq 25W$: 3.4A 30W: 3.6A $\geq 45W$: 4.3A	RPDO 设定功率/当前电压*120%	PDO 声明值*120%

注：RPDO 为 20W/25W 时，OCP 最大为 3.4A。

当 QC2.0/FCP/AFC/BC1.2 协议握手后，随着电流的增大，总功率（电压和电流的乘积）也在增大；当总功率大于 RPDO 设定最大功率值时，开始进行恒功率调节，即通过降低电压来满足总功率恒定不超过最大值；当电流最终超过 OCP 设定点，进行 OCP 的保护。

对于其它的协议，则按照功率设定恒定 OCP 过流值。超过设定值则进行 OCP 保护。

- 输出功率曲线，其中实线为 20W 功率输出规格，虚线区域为 22.5W 功率输出规格要求：



OCP 的保护机制为：当检测到过流之后，复位整个协议，断开协议连接保持最少 1.4s，到 1.4s 之后再重新检测，建立连接。

9.6 恒流

当 PD PPS 协议握手后，电流增加超过当前 PDO 包提供的电流上限后时，开始进行恒流调节，即如果负载电流继续缓慢上升，则降低输出电压来达到降低电流的结果；当电流超过 OCP 设定点，进行 OCP 的保护。能够满足三星部分手机的特性，实现更大功率的充电行为。

9.7 FB 分压电阻调节

18H01D 集成 FB 控制接口，通过调节 FB 的电流来精确的控制输出电压。在典型 5V 输出时，FB 引脚既不 SOURCE 电流，也不 SINK 电流。如果用户考虑补偿等原因将默认 5V 调整至 5.1V，则在默认的 5.1V，FB 引脚既不 SOURCE 电流，也不 SINK 电流。FB 引脚接在电源芯片的 FB 端，FB 到 VOUT 之间得到电阻应该选用高精度（1%）的 100Kohm 电阻，FB 到地之间的电阻需要依据电源芯片的特性进行选值，R2 的计算公式如下所示：

$$V_{FB} = \frac{V_{OUT}}{R1+R2} * R2$$

9.8 CC/DP/DM 保护

CC/DP/DM 的耐压为 24V，如果 CC1/CC2 DP/DM 任意端口电压误触 VBUS 电源，那么通过内部的保护机制即刻会断开 VBUS 的连接，并退出高压模式，保证充电设备的安全。

9.9 功率路径控制

18H01D 通过 VBUSC 引脚控制 PMOS 的 Gate 端，从而进行功率路径的开启和关闭，当 CC 线上接入设备成功时打开，断开后关闭。

内部集成了泄放电路，当需要电压快速泄放的时候，开启内部的下拉电阻。

9.10 过压保护

AD18H01D 具备完善的过压电路保护机制，保护机制设置了多重电压保护点，当输出电压比协议允许最大电压高 2V 以上，MOS 的 Gate 管脚将会被持续拉高，关闭 MOS，直至输出电压正常，才会解除保护，时刻保证您的设备安全。

10 布板建议

10.1 选型

- PRDO 的电阻精度需求 1%，电阻尽量靠近芯片
- NMOS 需求驱动耐电压在 10V 以上，耐压值大于 30V
- PMOS 需求驱动耐受电压大在 20V 以上，耐压值大于 30V
- FB 电路，R1 电阻为 100K，R2 的电阻需求依据实际的电源电路确定，芯片在 5V 的情况下，既不 SINK 也不 SOURCE，要求在 5V+2%的范围内
- VDD 需要接电容，建议值为 10uF，耐压 25V
- 采样电阻限制为 10mohm（1%），温漂不大于 100ppm/°C，建议使用合金采样电阻。

10.2 布板建议

- 电流采样电阻的 CSN 和 CSP 脚直接连接采样电阻两 endpoint(等效 Kelvin contact)，CSN 勿通过地线连接采样电阻
- 电容尽量靠近 VDD 管脚
- CC 线布线尽量等长

11 参数

11.1 极限工作参数

参数	符号	值	单位
VDD 端口输入电压范围	VDD	3.3~24	V
VOUT 端口输入电压范围	VOUT	3.3~24	V
VOUTG 端口输入电压范围	VOUTG	0~24	V
DP/DM 端口输入电压范围	V_{DP} V_{DM}	0~24	V
CC1/CC2 端口输入电压范围	V_{CC1} V_{CC2}	0~24	V
其它端口输入电压范围	-	0~5	V
结温范围	T_J	-40~150	°C
存储温度范围	T_{stg}	-60~150	°C
回流焊维度 (10sec)	T_S	260	°C
工作环境温度范围	T_A	-40~85	°C
人体模型 (HBM)	ESD	2	KV

*高于绝对最大额定值部分所列数值的应力有可能对器件造成永久性的损害，在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命

11.2 ESD 性能

符号	参数	值	单位
V_{ESD}	HBM	2K	V

11.3 电气特性

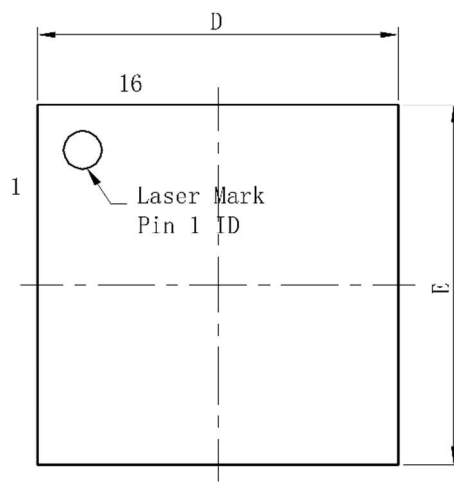
参数	符号	测试条件	最小值	典型值	最大值	单位
输入工作电压	VIN	引脚直接加电压	3.3		24	V
输入欠压阈值	UVLO	VIN 下降沿		2.8		输入欠压阈值
典型工作电流				3		mA
VDD	VDD			5.1		V
TYPE-C特性						
R _{TX}	Output resistance	During transmission	33		75	
V _{TXHI}	Transmit HIGH			1.125		V
t _{UI}	Bit unit interval			3.3		us
t _{BMC}	Rise/fall time of BMC	Rload=5.1k,Cloud=1nF	300			ns
I _{RP_SRC}	DFP CC termination for 0.5A Power		64	80	96	uA
	DFP CC termination for 1.5A Power		166	180	194	uA

	DFP CC termination for 3A Power		304	330	356	uA
OCP						
V _{TRIP}		Ref to Power Capability		+20%		A
OVP						
V _{OVP}		Ref to target voltage		+1000		mV
HVDCP (QC2.0&QC3.0) 模式						
数据检测电压阈值	V _{DATA_REF}		0.25	0.325	0.4	V
DP 高 glitch 时间	T _{GLITCH(BC)_DP_H}		1000	1250	1500	ms
DM 低 glitch 时间	T _{GLITCH(BC)_DM_L}			2		ms
输出电压 glitch 时间	T _{GLITCH(V)_CHANGE}		20	40	60	ms
连续模式 glitch 时间	T _{GLITCH_CONT_CHANGE}		100		200	us
DM 下拉电阻	R _{DM_DOWN}	VDP=0.6V		20		kOhm
DP 下拉电阻	R _{DAT_LKG}	VDP=0.6V		500		kOhm
DCP模式						
Apple 2.4A DP/DM 输出电压			2.61	2.7	2.78	V
Apple 2.4A DP/DM 输出阻抗				30		kOhm
GPIO特性						
V _{IH}	输入高电平		0.7VDD			V
V _{IL}	输入低电平				0.3VDD	V
V _{OH}	输出高电平			VDD		
V _{OL}	输出低电平			GND		
R _{pu}	上拉电阻			30		kOhm
R _{pd}	下拉电阻			30		kOhm

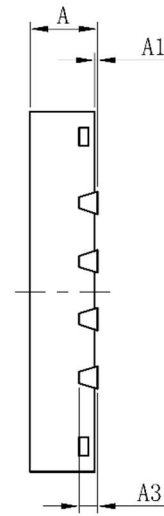
12 封装

12.1 QFN16(04X04X0.75-0.65)

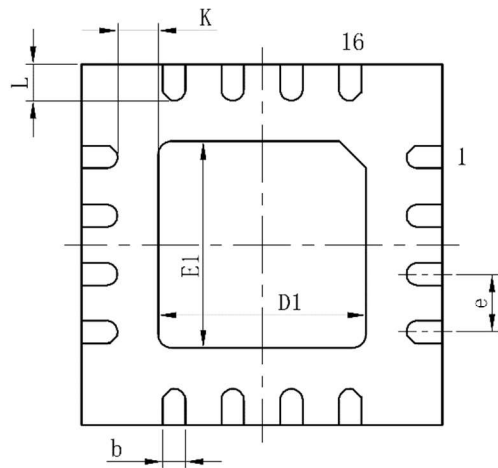
标注	尺寸	最小	标准	最大	标注	尺寸	最小	标准	最大
A		0.70	0.75	0.80	D1		2.20	2.30	2.40
A1		0.00	—	0.05	E1		2.20	2.30	2.40
A3		0.203REF			e		0.65TYP		
b		0.20	0.25	0.30	K		0.20	—	—
D		3.90	4.00	4.10	L		0.30	0.40	0.50
E		3.90	4.00	4.10					



Top View



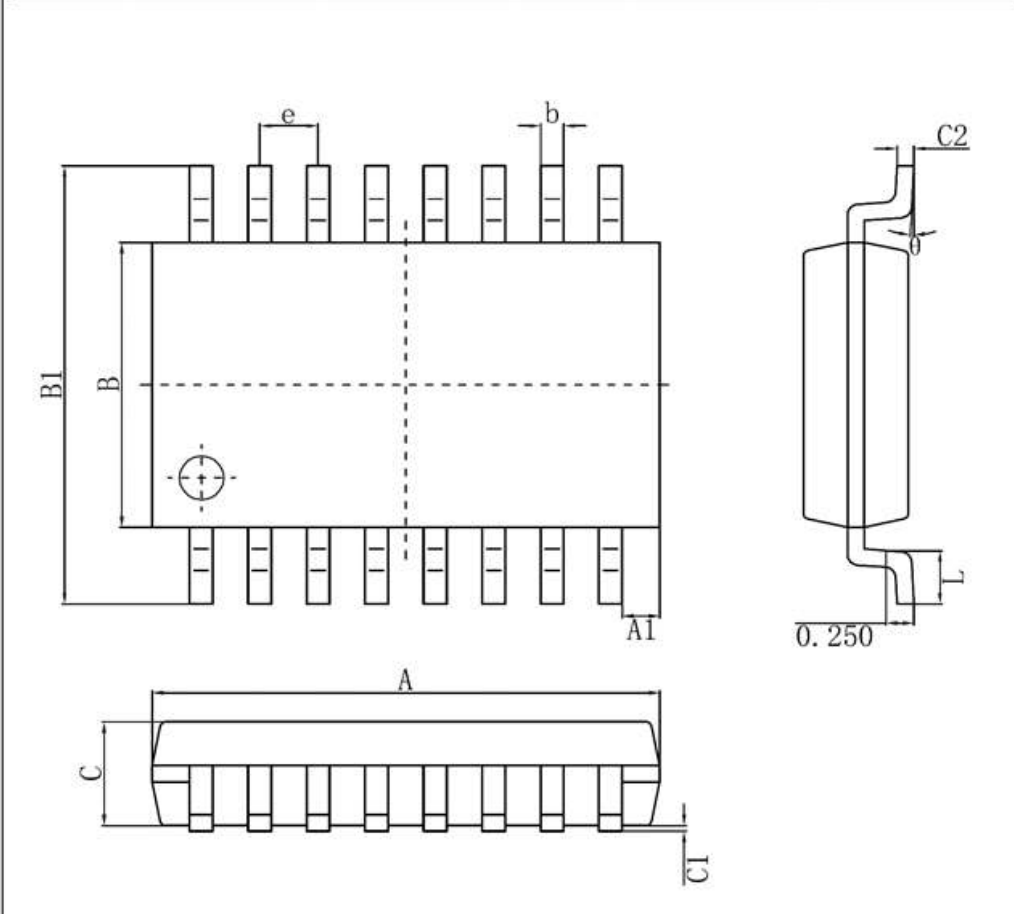
Side View



Bottom View

12.2 CPC16(4.6X2.6X0.95-0.53)

尺寸 标注	最小(mm)	最大(mm)	尺寸 标注	最小(mm)	最大(mm)
A	4.50	4.70	C	0.85	1.05
A1	0.29	0.39	C1	0.00	0.15
e	0.53 (BSC)		C2	0.15	0.18
B	2.50	2.70	L	0.40	0.60
B1	3.85	4.15	θ	0°	8°
b	0.16	0.26			



12.3 SOP8 (4.9X3.9X1.45-1.27)

标注	尺寸	最小 (MM)	最大 (MM)	标注	尺寸	最小 (MM)	最大 (MM)
A		4.80	5.00	C4		0.2	0.25
A1		0.380	0.470	D		1	1.1
A2		1.245	1.295	D1		0.50	0.70
A3		0.345TYP		R1		0.20TYP	
B		3.80	4.00	R2		0.20TYP	
B1		5.90	6.10	θ 1		11°	13°
B2		5.00TYP		θ 2		11°	13°
C		1.42	1.48	θ 3		0° -8°	
C1		0.675	0.725	θ 4		4° -12°	
C2		0.675	0.725				
C3		0.05	0.10				

